

PATENT
81788.0260

Express Mail Label No. EV 324 110 882 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Takeshi UCHIHARA et al.

Serial No: Not assigned

Filed: October 30, 2003

For: SEMICONDUCTOR DEVICE

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-187996 which was filed June 30, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: October 30, 2003

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

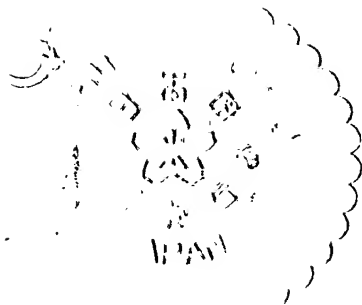
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月30日
Date of Application:

出願番号 特願2003-187996
Application Number:
[ST. 10/C]: [JP2003-187996]

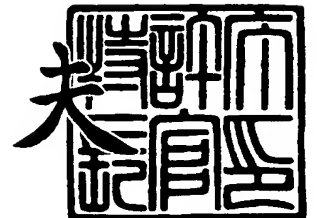
出願人 株式会社東芝
Applicant(s):



2003年 8月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 14307701

【提出日】 平成15年 6月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体素子

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 内 原 士

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 碓 氷 康 典

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 原 琢 磨

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 浦 秀 幸

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子

【特許請求の範囲】

【請求項 1】

表面に絶縁層が形成された半導体基板と、

前記絶縁層上に形成された、第 1 の不純物濃度を有する第 1 導電型の第 1 半導体層と、

前記第 1 半導体層において、この第 1 半導体層の表面から前記絶縁層の表面まで到達するように形成された、前記第 1 の不純物濃度より高い濃度を有する第 1 導電型の第 2 半導体領域と、

前記第 1 半導体層において、前記第 2 半導体領域と所定距離を空けて、前記第 1 半導体層の表面から前記絶縁層の表面まで到達するように形成された、第 2 の不純物濃度を有する第 2 導電型の第 3 半導体領域と、

前記第 2 半導体領域の表面部分に形成された、前記第 2 の不純物濃度より高い濃度を有する第 2 導電型の第 4 半導体領域と、

前記第 1 半導体層、前記第 2 半導体層、前記第 3 半導体層、前記第 4 半導体層のそれぞれの表面上に渡って形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

を備え、

前記第 1 半導体層と前記第 3 半導体領域との間で形成される第 1、第 2 導電型の接合が、前記絶縁膜を介して前記制御電極の下部、又は前記制御電極における前記第 3 半導体領域側の端部の下部に位置することを特徴とする半導体素子。

【請求項 2】

前記絶縁膜の厚さが、前記第 1 半導体層上から前記第 3 半導体領域上に向かうにつれて厚くなるように連続的に変化し、前記第 1 半導体層と前記第 3 半導体領域との間で形成される第 1、第 2 導電型の接合の上部における前記絶縁膜の厚さが、前記第 4 半導体領域の上部における前記絶縁膜の厚さより厚いことを特徴とする請求項 1 記載の半導体素子。

【請求項 3】

前記絶縁膜において、前記制御電極の下部に位置する部分の厚さが、最も薄い部分が 50 nm～150 nm の範囲にあり、最も厚い部分が 150 nm～450 nm の範囲にあることを特徴とする前記請求項 1 記載の半導体素子。

【請求項 4】

前記絶縁膜は、シリコン酸化膜、あるいはシリコン酸化膜及びシリコン窒化膜の積層構造を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体素子。

【請求項 5】

前記第 1 半導体層と前記第 3 半導体領域との間で形成される第 1、第 2 導電型の接合が、前記制御電極における前記第 3 半導体領域側の端面から 0～0.8 μ m の範囲の下部に位置することを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体素子。

【請求項 6】

前記第 1 半導体層の前記第 1 の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、前記第 1 半導体層と前記第 2 半導体領域との間の前記所定間隔が、0.5 μ m 以下であることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体素子。

【請求項 7】

前記第 2 半導体領域の表面から前記絶縁層の表面上に到達するように形成された第 1 の溝と、前記第 3 半導体領域の表面から前記絶縁層の表面上に到達するように形成された第 2 の溝とをさらに備えることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体素子。

【請求項 8】

前記第 1 及び第 2 の溝を埋め込むように形成された、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜をさらに備えることを特徴とする請求項 7 記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子に関する。

【0002】**【従来の技術】**

半導体素子の高集積化に伴い、出力段に用いられるMOSFET等の素子には、高いドレイン電圧と低いオン抵抗とが要求される。これらの要求に応えるために、後述する特許文献1には、絶縁層を有する半導体基板（SOI（Silicon On Insulator）基板）を用いた素子が開示されている。

【0003】

この従来の素子によれば、高いドレイン電圧と低いオン抵抗とは実現される。しかし、出力容量に関しては、この文献における図1に示されたn型オフセット層7とp型高抵抗半導体層3との間に存在する接合面積が大きいので、この接合部における容量が大きくなるという問題があった。

【0004】

以下に、従来の半導体装置を開示する文献名を記載する。

【0005】**【特許文献1】**

特許第3217554号

【0006】**【発明が解決しようとする課題】**

上述したように、従来の半導体素子には、出力容量を低減することができないという問題があった。

【0007】

本発明は上記事情に鑑み、pn接合部の面積を縮小し出力容量を低減することが可能な半導体素子を提供することを目的とする。

【0008】**【課題を解決するための手段】**

本発明の半導体素子は、
表面に絶縁層が形成された半導体基板と、
前記絶縁層上に形成された、第1の不純物濃度を有する第1導電型の第1半導体層と、

前記第1半導体層において、この第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、前記第1の不純物濃度より高い濃度を有する第1導電型の第2半導体領域と、

前記第1半導体層において、前記第2半導体領域と所定距離を空けて、前記第1半導体層の表面から前記絶縁層の表面まで到達するように形成された、第2の不純物濃度を有する第2導電型の第3半導体領域と、

前記第2半導体領域の表面部分に形成された、前記第2の不純物濃度より高い濃度を有する第2導電型の第4半導体領域と、

前記第1半導体層、前記第2半導体層、前記第3半導体層、前記第4半導体層のそれぞれの表面上に渡って形成された絶縁膜と、

前記絶縁膜上に形成された制御電極とを備え、

前記第1半導体層と前記第3半導体領域との間で形成される第1、第2導電型の接合が、前記絶縁膜を介して前記制御電極の下部、又は前記制御電極における前記第3半導体領域側の端部の下部に位置することを特徴とする。

【0009】

ここで、前記絶縁膜の厚さが、前記第1半導体層上から前記第3半導体領域上に向かうにつれて厚くなるように連続的に変化し、前記第1半導体層と前記第3半導体領域との間で形成される第1、第2導電型の接合の上部における前記絶縁膜の厚さが、前記第4半導体領域の上部における前記絶縁膜の厚さより厚いことが望ましい。

【0010】

前記絶縁膜において、前記制御電極の下部に位置する部分の厚さが、最も薄い部分が50nm～150nmの範囲にあり、最も厚い部分が150nm～450nmの範囲にあってもよい。

【0011】

前記絶縁膜は、シリコン酸化膜、あるいはシリコン酸化膜及びシリコン窒化膜の積層構造を有するものであってもよい。

【0012】

前記第1半導体層と前記第3半導体領域との間で形成される第1、第2導電型

の接合が、前記制御電極における前記第 3 半導体領域側の端面から $0 \sim 0.8 \mu\text{m}$ の範囲の下部に位置することが望ましい。

【0013】

前記第 1 半導体層の前記第 1 の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、前記第 1 半導体層と前記第 2 半導体領域との間の前記所定間隔が、 $0.5 \mu\text{m}$ 以下であってもよい。

【0014】

前記第 2 半導体領域の表面から前記絶縁層の表面上に到達するように形成された第 1 の溝と、前記第 3 半導体領域の表面から前記絶縁層の表面上に到達するように形成された第 2 の溝とをさらに備えることもできる。

【0015】

前記第 1 及び第 2 の溝を埋め込むように形成された、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜をさらに備えてもよい。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0017】

(1) 第 1 の実施の形態

図 1 に、本発明の第 1 の実施の形態による半導体素子の断面構造を示す。

【0018】

この素子は、SOI 基板を用いて形成されており、半導体基板 1 の表面上に絶縁層 2 を介して高抵抗の p 型活性層 3 が形成されている。ここで、p 型活性層 3 の不純物濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3}$ 以下であることが望ましい。

【0019】

この p 型活性層 3 において選択的に、表面から絶縁層 2 に到達する深さに渡って、p 型活性層 3 より不純物濃度が高く、パンチスルー防止用及び閾値制御用の p 型ベース層 4 が形成されている。

【0020】

この p 型ベース層 4 の表面部分には、n 型ソース層 5 が選択的に形成されて

いる。p 型ベース層 4 の表面及び n⁺ 型ソース層 5 の表面に接続するように、ソース電極 9 が設けられている。

【0021】

また、p⁻ 型活性層 3 には、p 型ベース層 4 と所定間隔、例えば 0.5 μ m 以下の間隔を空けて選択的に、その表面から絶縁層 2 に到達する深さに渡って、n 型ドレイン層 6 が形成されている。この n 型ドレイン層 6 の表面上には、ドレイン電極 10 が設けられている。

【0022】

また、n⁺ 型ソース層 5、p 型ベース層 4、p⁻ 型活性層 3 及び n 型ドレイン層 6 の表面上には、絶縁膜 7 を介して制御電極 8 が設けられている。

【0023】

ここで絶縁膜 7 は、n⁺ 型ソース層 5 及び p 型ベース層 4 の表面上においてはほぼ一定の薄い膜厚を有し、p⁻ 型活性層 3 の表面上から n 型ドレイン層 6 の表面上に向かって厚くなるように連続的に膜厚が変化している。例えば、制御電極 8 の下部に位置する部分の厚さが、最も薄い部分が 50 nm ~ 150 nm の範囲にあり、最も厚い部分が 150 nm ~ 450 nm の範囲にあることが望ましい。

【0024】

このような構成を有する本実施の形態による半導体素子によれば、n 型ドレイン層 6 が絶縁層 2 に到達する深さまで形成されていることで、n 型ドレイン層 6 と p⁻ 型活性層 3 との間に形成される p n 接合部の面積が縮小される。これにより、ドレイン／ソース間容量が減少し、出力容量を低減することが可能である。

【0025】

また、p⁻ 型活性層 3 の不純物濃度が低く高抵抗であることにより、n 型ドレイン層 6 と p⁻ 型活性層 3 との間に形成される p n 接合部に生成される空乏層が大きく広がることができるので、p n 接合部における空乏層の距離が拡大され、さらにドレイン／ソース間容量を減少させることができる。

【0026】

ところで、本実施の形態では、n 型ドレイン層 6 が絶縁層 2 に到達する深さまで形成されており、p 型ベース層 4 が絶縁層 2 に到達する深さまで形成されてい

る。絶縁層 2 における p 型活性層 3 との界面において + 電荷が存在し、p 型活性層 3 の界面には n 型反転層が形成された状態にある。

【0027】

従って、n 型ドレイン層 6 が絶縁層 2 に到達するように形成されていると、この n 型反転層と n 型ドレイン層 6 とが接続され、n 型反転層が長く存在するとこの部分をリーク電流が流れ得る状態になる。そこで、p 型ベース層 4 を絶縁層 2 に到達するように形成し、n 型反転層を止めることで、リーク電流の発生を防止している。

【0028】

ここで、絶縁膜 7 の膜厚は、特性を考慮して n 型ソース層 5 及び p 型ベース層 4 の表面上において薄い膜厚を有し、耐圧を高めるため p 型活性層 3 の表面上から n 型ドレイン層 6 の表面上に向かって連続的に厚くなるように形成されている。

【0029】

図 2 に、この絶縁膜 7 の部分を拡大して示す。

【0030】

絶縁膜 7 は、例えば素子分離領域の形成に用いられている LOCOS 法により形成してもよい。この場合、絶縁膜 7 の表面上には、膜厚の薄い部分の上にシリコン窒化膜 17 が存在し、シリコン窒化膜 17 が存在しない部分の膜厚が連続的に厚く変化した状態となる。

【0031】

ここで、シリコン窒化膜 17 を残存させた状態で引き続き制御電極 8 を形成してもよく、これによりシリコン窒化膜 17 を削除する工程を減らすことができる。あるいはシリコン窒化膜 17 を除去した後、制御電極 8 を形成してもよい。

【0032】

(2) 第 2 の実施の形態

本発明の第 2 の実施の形態による半導体素子について説明する。

【0033】

上記第 1 の実施の形態では、制御電極 8 と、p 型半導体層 3 と n 型ドレイン

層 6 との p n 接合部の端部 20 との位置関係について、限定していない。

【0034】

これに対し本実施の形態では、図 1 に示された制御電極 8 における n 型ドレイン 6 側の端面 21 を X 方向の座標 "0" とし、この位置から図中左方向に向かって p ー型半導体層 3 と n 型ドレイン層 6 との p n 接合部の端部 20 までの距離 x について、限定を有する。この距離 x は、 $0 \leq x \leq 0.8 \mu\text{m}$ の範囲内にある。

【0035】

このように、本実施の形態では、p ー型活性層 3 の表面において存在する n 型ドレイン領域 6 との間の p n 接合の位置 20 が制御電極 8 の端面 21 近傍に位置しているので、これによりドレイン電圧を確保し、かつオン抵抗と出力容量積（CR 積）の低減が可能である。このことについて、図 3 及び図 4 を用いてさらに説明する。

【0036】

図 3 に、制御電極 8 における n 型ドレイン 6 側の端面 21 から、p ー型活性層 3 と n 型ドレイン領域 6 との間の p n 接合部の端部 20 の位置までの距離 x と、ドレイン電圧に関する耐圧との関係を示す。例えば、必要な耐圧が 4.3 V 以上であるとする、グラフ上から距離 x は、 $-0.2 \mu\text{m} \leq x \leq 0.8 \mu\text{m}$ の範囲であることがわかる。

【0037】

ここで、特性上 p n 接合部の端部 20 が制御電極 8 の下方に位置することが特性上望ましいことを考慮し、距離 x は、 $0 \mu\text{m} \leq x \leq 0.8 \mu\text{m}$ の範囲とする。

【0038】

図 4 に、制御電極 8 における n 型ドレイン 6 側の端面 21 から、p ー型活性層 3 と n 型ドレイン領域 6 との間の p n 接合部の端部 20 の位置までの距離 x と、オン抵抗×オフ時の出力容量（CR 積）との関係を示す。

【0039】

このグラフから、距離 x が大きいほど CR 積が小さくなり特性上望ましいことがわかる。

【0040】

ここで、耐圧特性から求めた $0\ \mu\text{m} \leq x \leq 0.8\ \mu\text{m}$ の範囲における CR 積を求めると、 $2.64\ \text{pF}\Omega \leq \text{CR 積} \leq 2.90\ \text{pF}\Omega$ となる。

【0041】

図3及び図4からわかるように、制御電極8の端面21からpn接合部の端部20までの距離xが大きい程、CR積は低減できるが、距離xが大きくなりすぎると耐圧が確保されなくなる。また、距離xが小さくなり過ぎると、耐圧が低下してしまい、かつCR積も大きくなってしまう。

【0042】

そこで、上述したように、本実施の形態では距離xを $0\ \mu\text{m} \leq x \leq 0.8\ \mu\text{m}$ と限定することで、所望の耐圧を確保し、かつCR積の増大を抑制することができる。

【0043】

また、LOCOS法等を用いて、制御電極8下の絶縁膜7を膜厚が連続的に変化するよう形成すると、p⁻型活性層3表面にストレス性ダメージが与えられてチャネル移動度が低下するおそれがある。しかし、pn接合部の端部20の位置を上述したように設定し、制御電極8の端面21とpn接合部の端部20の位置とが重なるようにすることで、ストレス性ダメージの影響を低減することが可能である。

【0044】

(3) 第3の実施の形態

図5に、本発明の第3の実施の形態による半導体素子の断面構造を示す。

【0045】

本実施の形態も上記第1の実施の形態と同様にSOI基板を用いて形成されており、半導体基板1の表面上に絶縁層2を介して高抵抗のp⁻型活性層3が形成されている。

【0046】

そして上記第1の実施の形態と同様に、p⁻型活性層3において選択的に、表面から絶縁層2に到達する深さに渡ってパンチスルー防止用及び閾値制御用のp型ベース層4が形成され、このp型ベース層4の表面部分にはn⁺型ソース層5

が選択的に形成されている。p 型ベース層 4 の表面及び n⁺ 型ソース層 5 の表面に接続するように、ソース電極 9 が設けられている。

【0047】

p 型活性層 3 には、p 型ベース層 4 と所定間隔を空けて選択的に、その表面から絶縁層 2 に到達する深さに渡って、n 型ドレイン層 6 が形成され、n 型ドレイン層 6 の表面上にドレイン電極 10 が設けられている。

【0048】

n⁺ 型ソース層 5、p 型ベース層 4、p 型活性層 3 及び n 型ドレイン層 6 の表面上に、絶縁膜 7 を介して制御電極 8 が設けられている。

【0049】

ここで絶縁膜 7 は、n⁺ 型ソース層 5 及び p 型ベース層 4 の表面上においてはほぼ一定の薄い膜厚を有し、p 型活性層 3 の表面上から n 型ドレイン層 6 の表面上に向かって厚くなるように連続的に膜厚が変化している。

【0050】

さらに、本実施の形態は上記第 1 の実施の形態と異なり、p 型ベース層 4 の表面において、ソース電極 9 の端面のうち制御電極 8 側と反対側の端面近傍の表面から絶縁層 2 に達する溝 11 と、n 型ドレイン層 6 の表面において、ドレイン電極 10 の端面のうち制御電極 9 側と反対側の端面近傍の表面から絶縁層 2 に達する溝 12 とが形成されている。

【0051】

この溝 11、12 は、シリコン酸化膜、又は不純物が導入されていない多結晶シリコン膜等の絶縁膜 13、14 によって埋め込まれている。

【0052】

n 型ドレイン層 6 と p 型ベース層 4 との間には、図 5 に示されたように、絶縁層 2 を介して容量 C1、C2 が存在する。本実施の形態では、溝 11、12 を形成したことにより、n 型ドレイン層 6 と半導体基板 1 との間、p 型ベース層 4 と半導体基板 1 との間の接合面積が縮小されるので、この間の容量 C1、C2 が縮小される。この結果、ソース／ドレイン間の寄生容量の低減が可能である。

【0053】

また本実施の形態によれば、上記第 1 の実施の形態と同様に、n 型ドレイン層 6 が絶縁層 2 に到達する深さまで形成されていることで、n 型ドレイン層 6 と p 型活性層 3 との間に形成される p n 接合部の面積が縮小される。これにより、ドレイン／ソース間容量が減少し、出力容量が低減される。

【0054】

また、p 型活性層 3 の不純物濃度が低く高抵抗であることにより、n 型ドレイン層 6 と p 型活性層 3 との間に形成される p n 接合部に生成される空乏層が大きく広がることができるので、p n 接合部における空乏層の距離が拡大されさらにドレイン／ソース間容量を減少させることが可能である。

【0055】

(4) 第 4 の実施の形態

本発明の第 4 の実施の形態について、図 6 を参照して説明する。

【0056】

上記第 1 ～ 3 の実施の形態では、絶縁膜 7 が、n⁺型ソース層 5 及び p 型ベース層 4 の表面上においてほぼ一定の薄い膜厚を有し、p 型活性層 3 の表面上から n 型ドレイン層 6 の表面上に向かって厚くなるように連続的に膜厚が変化している。

【0057】

これは上述したように、例えば 40 V 以上というような高耐圧が得られるように、必要な部分だけ、即ち p 型活性層 3 の表面上から n 型ドレイン層 6 の表面上に向かって連続的に厚くなるように形成し、他の部分は特性を考慮して n⁺型ソース層 5 及び p 型ベース層 4 の表面上において薄く形成している。

【0058】

これに対し、本実施の形態では例えば 20 V 前後というような比較的低耐圧での使用を前提としている。このような場合は、絶縁膜 7 a は薄い膜厚で形成した方が良好な特性が得られ、また工程上の簡易であるので、ほぼ均一に比較的薄い膜厚で形成している。

【0059】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない

。

【0060】

例えば、導電型は上記実施の形態におけるものと異なってもよく、また制御電極下の絶縁膜は上記実施の形態において用いたLOCOS法以外の方法で形成してもよい。

【0061】

【発明の効果】

本発明の半導体装置によれば、絶縁層上の第1導電型の半導体層表面に形成された第2導電型の半導体領域が、絶縁層に到達する深さで形成されていることにより、この第1導電型の半導体層と第2導電型の半導体領域との間に存在する第1、第2導電型の接合面積が縮小されるので、出力容量を低減することが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態による半導体素子の断面構造を示した縦断面図。

【図2】

同半導体素子における制御電極下の絶縁膜を拡大して示した部分拡大図。

【図3】

本発明の第2の実施の形態による半導体素子において、制御電極端面からのp n接合位置と、耐圧との関係を示したグラフ。

【図4】

同半導体素子において、制御電極端面からのp n接合位置と、オン抵抗×出力容量との関係を示したグラフ。

【図5】

本発明の第3の実施の形態による半導体素子の断面構造を示した縦断面図。

【図6】

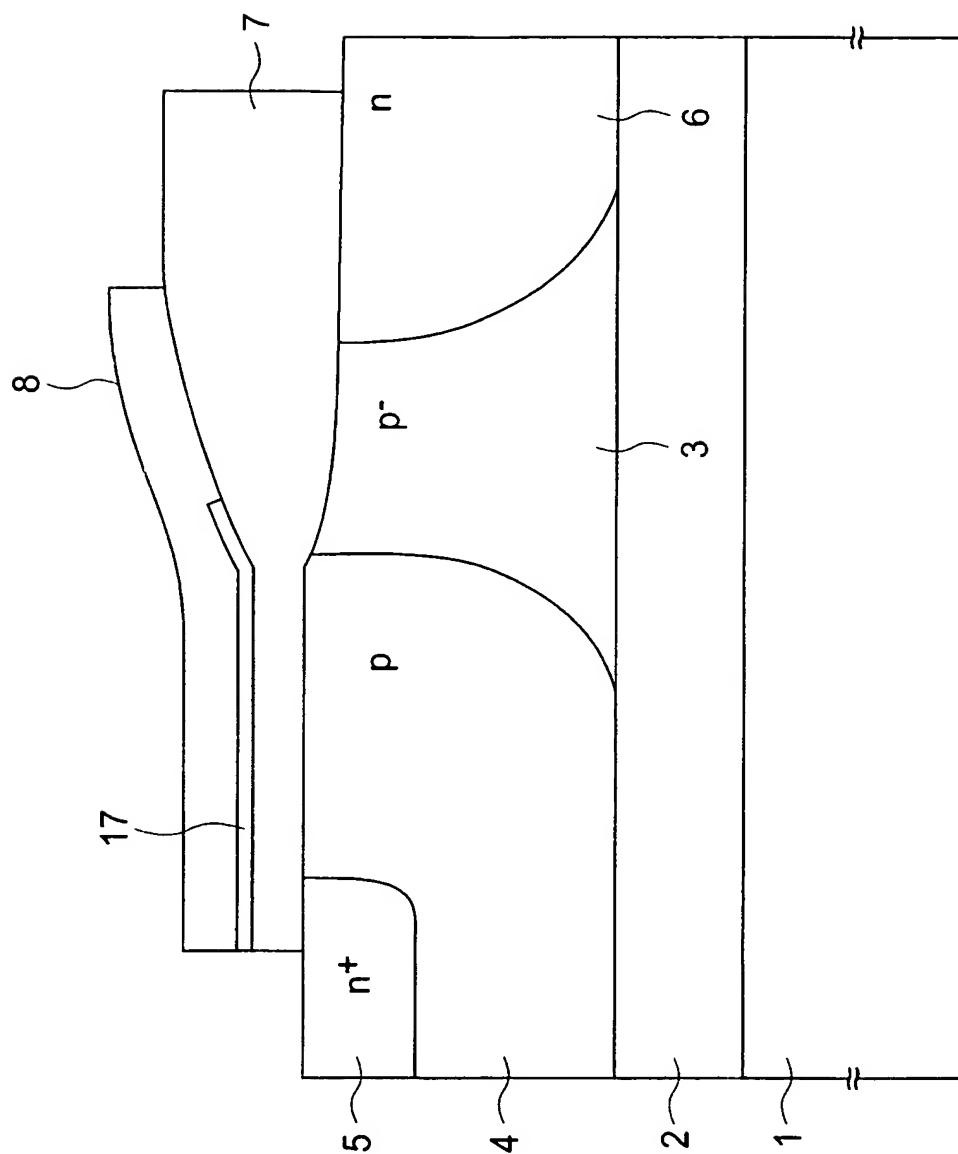
本発明の第4の実施の形態による半導体素子の断面構造を示した縦断面図。

【符号の説明】

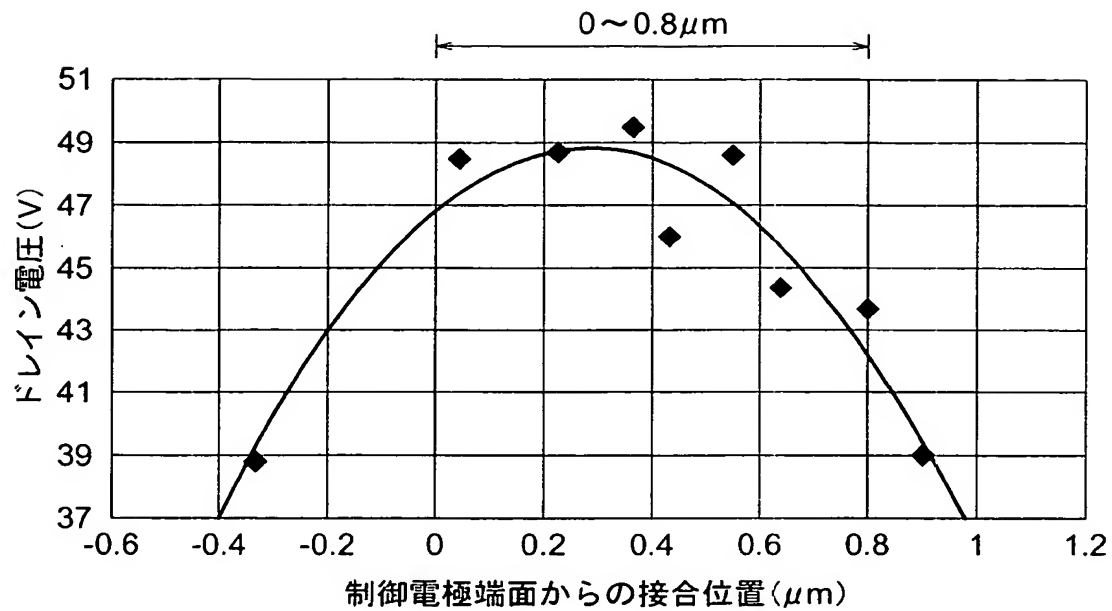
1 半導体基板

- 2 絶縁層
- 3 p⁻型高抵抗層
- 4 p型ベース層
- 5 n⁺型ソース層
- 6 n型ドレイン層
- 7、7 a、1 7 絶縁膜
- 8 制御電極
- 9 ソース電極
- 1 0 ドレイン電極
- 1 1、1 2 溝
- 1 3、1 4 絶縁膜

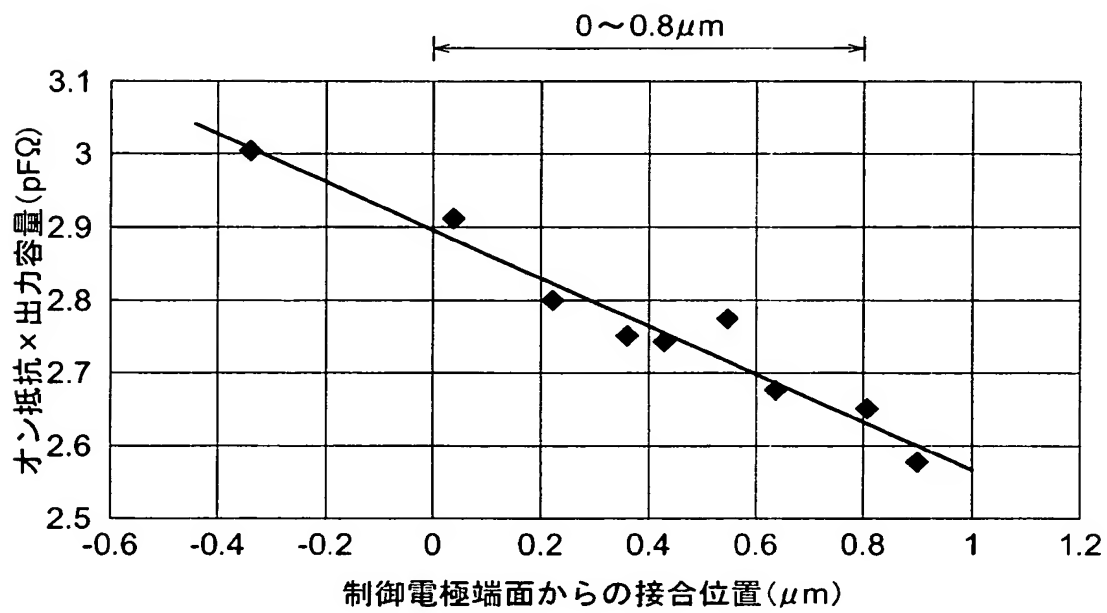
【図 2】



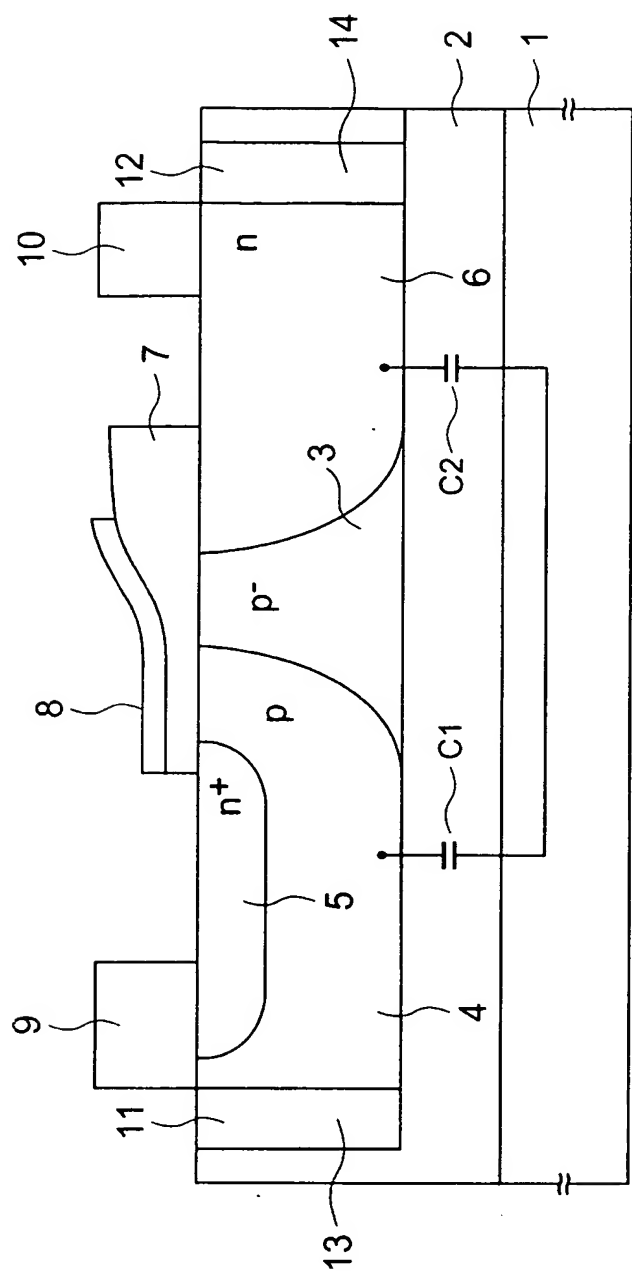
【図 3】



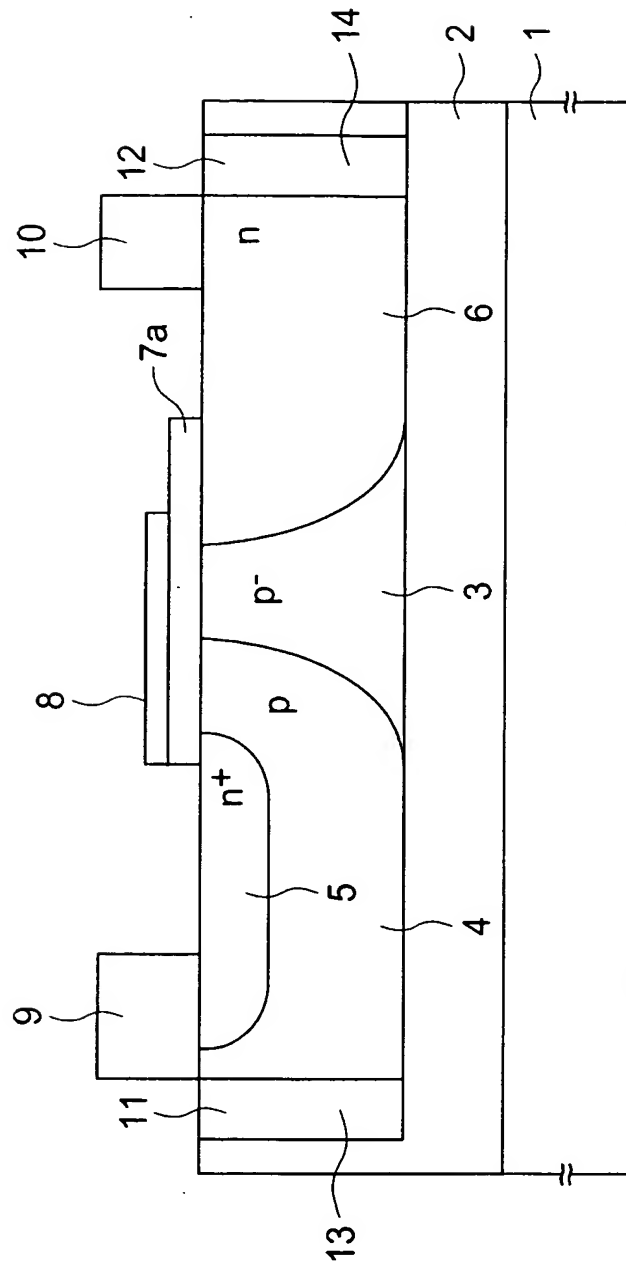
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 p n 接合部の面積を縮小して出力容量を低減することが可能な半導体素子を提供する。

【解決手段】 S O I 基板上に形成された低不純物濃度の p 型活性層 3 の表面から絶縁層 2 に到達する深さで n 型ドレイン層 6 が形成されている。これにより、活性層 3 とドレイン層 6 との間に存在する p n 接合面積が縮小されるので、出力容量が低減される。また、制御電極 8 下の絶縁膜 7 の膜厚が、ソース層 5、ベース層 4 上は薄い膜厚で、活性層 3 からドレイン層 6 上にかけて膜厚が連続的に厚くなるように形成されており、必要な耐压の確保と良好な特性とが共に実現される。

【選択図】 図 1

特願 2003-187996

出願人履歴情報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝